



**UNIVERSIDAD NACIONAL DE SAN LUIS
FACULTAD DE CIENCIAS FÍSICO-MATEMÁTICAS Y NATURALES**

MAESTRÍA EN INGENIERÍA DE SOFTWARE

TESIS DE MAESTRIA

**“Nueva Metodología De Diseño De Sistemas Reconfigurables Basada En
Sistemas Orientados A Objetos.”**

Autor: Julio Daniel Dondo Gazzano
Director: Daniel Riesco
Co-Director: Germán Montejano

Noviembre 2007

*A todos y cada uno de
mis seres queridos.*

Indice General

Capítulo 1: Introducción

| | |
|--|----|
| Introducción: Descripción del problema y del trabajo | 7 |
| 1.1 - Diseño basado en plataformas | 8 |
| 1.2 - Plataformas de Hardware Reconfigurables | 9 |
| 1.3 - Sistemas de comunicación | 10 |
| 1.4 - La Gestión de la Reconfiguración | 11 |

Capitulo 2: Estado del arte

| | |
|--|----|
| 2.1 - Problemática en el Diseño de Systems on Chip | 14 |
| 2.2 - Diseño Basado en Plataformas . | 15 |
| 2.3 - Clasificación de las Plataformas de Diseño | 18 |
| 2.4 - Metodologías de Diseño | 20 |
| 2.5 - Reusabilidad de Componentes. | 25 |
| 2.6 - Plataformas reconfigurables . | 29 |
| 2.7 - Herramientas de Diseño, Modelado y Verificación. | 37 |
| 2.8 - Reconfigurabilidad Parcial Dinámica. | 43 |

Capitulo 3: Objetivos del Trabajo de Investigación

| | |
|--|----|
| 3.1 – Objetivo del trabajo de tesis. | 49 |
| 3.2 – Objetos en lugar de tareas | 49 |
| 3.2.1 – Tareas | 50 |
| 3.2.2- Objetos | 52 |
| 3.3 – Arquitectura unificada de comunicaciones | 53 |
| 3.3.1- Objetos dinámicamente reconfigurables | 56 |
| 3.4 - El proceso de Reconfiguración dinámica. | 56 |
| 3.3.1 – Reconfiguración parcial dinámica | 56 |
| 3.3.2 – Problemática actual en el diseño de sistemas | |

| | |
|-------------------------------|----|
| dinámicamente reconfigurables | 57 |
|-------------------------------|----|

Capitulo 4: Desarrollo

| | |
|--|----|
| 4.1 – Las Bases de la Metodología. | 62 |
| 4.1.1- Reconfiguration Manager | 62 |
| 4.1.2- Objetivos del servicio de Reconfiguración | 64 |
| 4.2 – El Soporte de la Metodología | 64 |
| 4.2.1 Nivel1: Objetos dinámicamente reconfigurables | 66 |
| 4.2.1.1 Persistencia del Objeto | 68 |
| 4.2.1.2 Esqueletos Dinámicos | 69 |
| 4.2.2 – Nivel2: Capa de Activación | 71 |
| 4.2.3 – Nivel3: Capa de planificación-Gerenciamiento de objetos dinámicos | 74 |
| 4.2.4 – Nivel4: Capa de aplicación | 77 |
| 4.3 – Metodología de diseño | 78 |
| 4.3.1 – Especificaciones | 78 |
| 4.3.2 – Generacion de Mddleware | 80 |
| 4.3.3 – Composición del Sistema | 81 |

Capitulo 5

| | |
|---|----|
| 5.1 – Prototipado y Validación | 84 |
| 5.2 – Flujo de Diseño de Virtex PR | 85 |
| 5.3 – Proceso de Reconfiguración Xilinx | 87 |
| 5.4 – Ensayos en Laboratorio | 89 |
| 5.4.1 – Reconfiguración parcial usando metodologías de Xilinx | 90 |
| 5.4.2 – Reconfiguración siguiendo modelo propuesto | 91 |
| 5.4.2.1- Refinamiento del modelo de Objeto: | |
| Manejo de estado | 92 |
| 5.4.2.2- Adaptación al sistema de comunicación | 92 |
| 5.4.2.3- Pruebas | 93 |

| | |
|---|----|
| 5.4.2.4- Gestión de la reconfiguración dinámica usando HwActivator | 94 |
| 5.4.2.5- Pruebas realizadas en hardware. | 96 |

Capitulo 6

| | |
|-----------------------|-----|
| 6.1- Conclusiones | 99 |
| 6.2- Trabajos Futuros | 100 |

| | |
|--------------------|------------|
| Referencias | 101 |
|--------------------|------------|